

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS

• GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



JHW

**PATENT**

Docket No. JCLA10374

page 1

**IN THE UNITED STATE PATENT AND TRADEMARK OFFICE**

In re application of : KWUN-YAO HO et al.  
Application No. : 10/748,478  
Filed : December 29,2003

**Certificate of Mailing**

I hereby certify that this correspondence and all marked attachments are being deposited with the United States Postal Service as certified first class mail in an envelope addressed to: Commissioner for Patents, P.O.BOX 1450, Alexandria VA 22313-1450, on

May 10, 2004

(Date)

For **A CIRCUIT BOARD AND FABRICATING  
: PROCESS THEREOF**

Jiawei Huang, Reg. No. 43,330

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of **Taiwan** Application No. **92114526** filed on **May 29, 2003**.

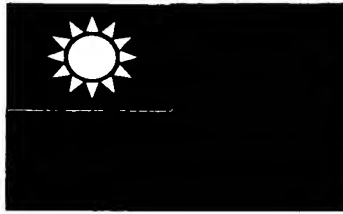
A return prepaid postcard is also included herewith.

It is believed no fee is due. However, the Commissioner is authorized to charge any fees required, including any fees for additional extension of time, or credit overpayment to Deposit Account No. 50-0710 (Order No. JCLA10374).

Date: 5/10/2004

By: Jiawei Huang  
Jiawei Huang  
Registration No. 43,330

**Please send future correspondence to:**  
J. C. Patents  
4 Venture, Suite 250  
Irvine, California 92618  
Tel: (949) 660-0761



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 29 日  
Application Date

申請案號：092114526  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

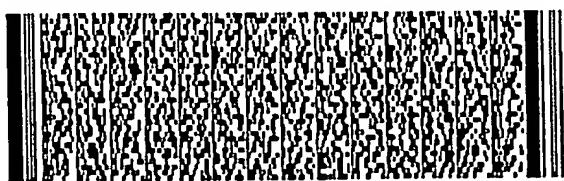
發文日期：西元 2004 年 2 月 3 日  
Issue Date

發文字號：09320094740  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)
發明專利說明書

一、 發明名稱	中文	電路板及其製程
	英文	CIRCUIT BOARD AND PROCESS THEREOF
二、 發明人 (共2人)	姓名 (中文)	1. 何昆耀
	姓名 (英文)	1. Kwun-Yao Ho
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 台北縣新店市中正路533號8樓
	住居所 (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 威盛電子股份有限公司
	名稱或姓名 (英文)	1. VIA Technologies, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1. Hsiueh-Hong WANG

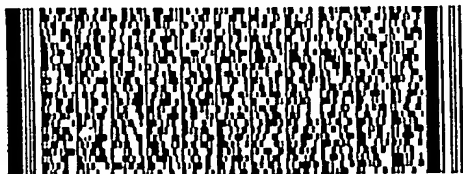


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共2人)	姓名 (中文)	2. 宮振越
	姓名 (英文)	2. Moriss Kung
	國籍 (中英文)	2. 中華民國 TW
	住居所 (中文)	2. 台北縣新店市中正路533號8樓
	住居所 (英文)	2. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	



10374twf.pld

四、中文發明摘要 (發明名稱：電路板及其製程)

一種電路板及其製程乃是以一核心層為基礎層，其中核心層係為一核心導電層，或為一核心介電層搭配雙導電層，並依照核心層之組成上的差異，而製作出三或四層圖案化導電層之電路板。此外，更可利用此兩種電路板作為電路板單元，來製作出超過四圖案化導電層之電路板。由於此電路板製程乃是利用傳統價廉之疊合的製程及設備來取代昂貴之增層法的電路板製程，故可有效地簡化電路板之製作步驟、降低電路板之製作成本及縮短電路板之製程週期。

伍、(一)、本案代表圖為：第 6 圖

(二)、本案代表圖之元件代表符號簡單說明：

100：電路板

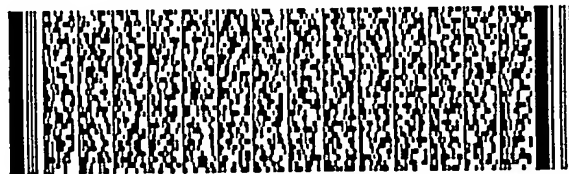
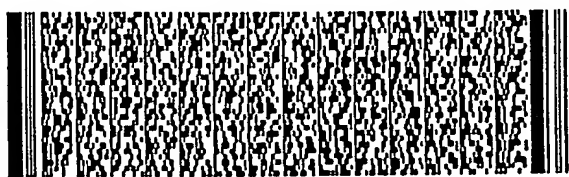
200：電路板

400：電路板

402：導電柱

六、英文發明摘要 (發明名稱：CIRCUIT BOARD AND PROCESS THEREOF)

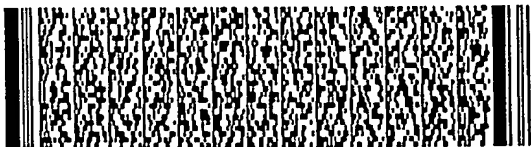
A circuit board and process thereof uses a core structure for being a base layer, wherein the core structure comprises a core conductive layer or a core dielectric layer with two conductive layers. According to the differences of the core structure, the process manufactures a circuit board with three or four patterned conductive layers. Furthermore, these two circuit boards can



四、中文發明摘要 (發明名稱：電路板及其製程)

六、英文發明摘要 (發明名稱：CIRCUIT BOARD AND PROCESS THEREOF)

be applied to manufacture a circuit board with more than four patterned conductive layers. Because the invention uses the conventional lamination process and equipment to replace the expensive build-up process, the invention can simplify the process, save cost of the process, and shorten cycle time of the process.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

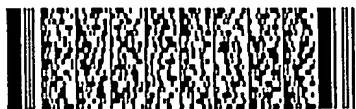
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。





## 五、發明說明 (1)

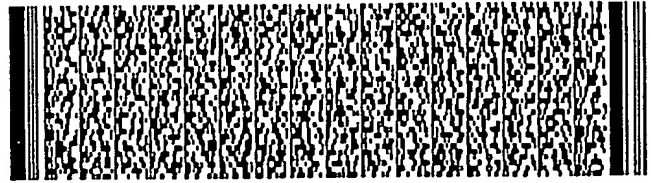
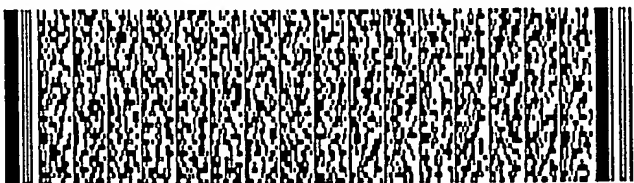
### 【發明所屬之技術領域】

本發明是有關於一種電路板及其製程，且特別是有關於以一具有核心層之電路板單元來製作電路板，而核心層係為一核心導電層，或為一核心介電層搭配雙導電層。

### 【先前技術】

覆晶接合技術 (Flip Chip Bonding Technology，簡稱F/C) 是經常應用於晶片尺寸構裝 (Chip Scale Package, CSP) 的構裝技術。覆晶接合技術主要是利用面陣列 (area array) 的排列方式，將多個晶片墊 (die pad) 配置於晶片 (die) 之主動表面 (active surface)，並在各個晶片墊上形成凸塊 (bump)，接著再將晶片翻面 (flip) 之後，利用晶片之晶片墊上的凸塊分別電性 (electrically) 及機械性 (mechanically) 連接至承載器 (carrier) (例如基板 (substrate) 或印刷電路板 (PCB)) 之表面所對應的接合墊 (bonding pad)。值得注意的是，由於覆晶接合技術可以應用於高接腳數 (High Pin Count) 之晶片封裝結構，並同時具有縮小封裝面積及縮短訊號傳輸路徑等優點，所以覆晶接合技術目前已經廣泛地應用在晶片封裝領域。

就覆晶接合技術所應用之承載器而言，由於硬式基板 (rigid substrate) 可提供高密度及高接點數之線路佈局，使得覆晶構裝結構通常是採用硬式基板來作為承載器。目前較為常見之硬式基板的製程主要可分為疊層法 (laminare) 及增層法 (build-up) 兩大類，由於增層法



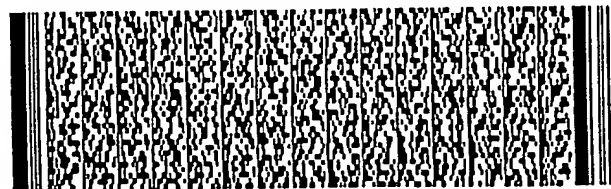
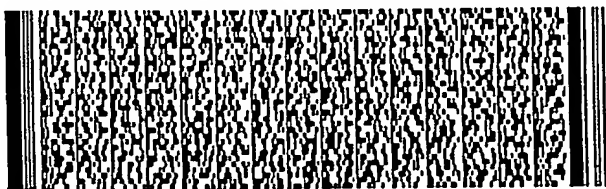
## 五、發明說明 (2)

所製作出之晶片承載器具有較高的佈線密度，其中又以增層法所製作出之硬式基板最為常見。

增層法之硬式基板的製作原理乃是以一絕緣芯層 (core) 作為一基礎層，並依照硬式基板之所需的線路佈局，以機械鑽孔 (mechanical drill) 的方式，在絕緣芯層上形成多個貫孔，並經由鍍通孔 (Plated Through Hole, PTH) 之製程，而形成鍍通插塞 (through via) 於這些貫孔之內。接著，再逐次形成介電層、圖案化之導電層、介電層、圖案化之導電層...，最後形成一硬式基板。此外，為電性連接兩相鄰之導電層，更必須在形成介電層之後，利用感光成孔 (Photo Via)、雷射燒孔 (Laser Ablation) 及電漿蝕孔 (Plasma Etching) 等非機械式鑽孔的方式，在介電層上形成開口，藉以暴露出下面之導電層所形成的接合墊，接著再填入或電鍍導電物質於開口之內，因而形成導電插塞 (conductive via)，使得二相鄰之導電層可經由這些導電插塞，而彼此相互電性連接。

值得注意的是，由於習知之增層法所製作的硬式基板均必須經過繁瑣而複雜的製程步驟，包括電鍍、感光成孔、雷射燒孔及電漿蝕孔，其中電鍍及感光成孔等製程步驟將使得硬式基板之製程週期相當地緩慢，而雷射燒孔及電漿蝕孔等製程步驟將使得硬式基板之製作成本相對地昂貴。此外，就習知之硬式基板的製程而言，在製程步驟、製作成本及製程週期均難以再繼續減少或降低。

【發明內容】



### 五、發明說明 (3)

因此，本發明之目的就是在提供一種電路板及其製程，用以簡化電路板之製程步驟及降低電路板之製作成本。

為達本發明之上述之目的，本發明提出一種電路板製程，至少包括下列步驟：(a) 提供一核心層、一第一介電層及一第二介電層，其中第一介電層具有至少一第一導電柱，其貫穿第一介電層，且第二介電層具有至少一第二導電柱，其貫穿第二介電層；(b) 疊合核心層、第一介電層及第二介電層，其中核心層係介於第一介電層及第二介電層之間，其中核心層、第一介電層及第二介電層係組成一疊合層；(c) 形成一第一貫孔於疊合層，且第一貫孔係貫穿疊合層；(d) 填入導電物質於第一貫孔，用以形成一第三導電柱；以及(e) 形成圖案化之一第一導電層及圖案化之一第二導電層，其分別配置於疊合層之兩面。

依照本發明之較佳實施例，於步驟(a)之時，核心層具有一核心導電層及至少一核心介電柱，而核心介電柱係貫穿核心導電層，且於步驟(c)之時，第一貫孔更貫穿核心層之核心介電柱。

依照本發明之較佳實施例，於步驟(a)之時，核心層具有一核心介電層、至少一核心導電柱、圖案化之一第三導電層及圖案化之一第四導電層，且核心導電柱係貫穿核心介電層，而第三導電層及第四導電層係分別配置於核心介電層之兩面，且於步驟(c)之時，第一貫孔更貫穿



#### 五、發明說明 (4)

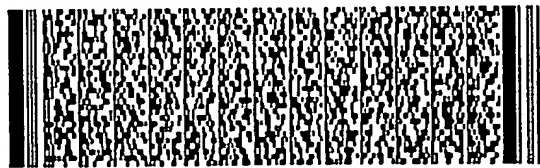
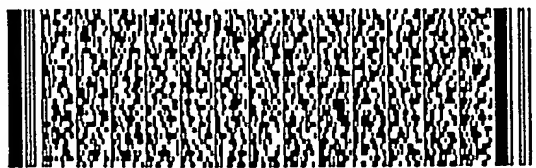
核心層之核心介電層。

為達本發明之上述之目的，本發明提出一種電路板，包括至少一疊合電路板單元 (laminated circuit board unit)，電路板單元至少包括：一核心層；一第一介電層，疊合至核心層之一面，並具有一第一導電柱，其貫穿第一介電層；一第二介電層，疊合至第一介電層之一面，並具有一第二導電柱，其貫穿第二介電層；一第三介電層，疊合至第二介電層之一面，並具有一第三導電柱，其貫穿第三介電層；一第四介電層，疊合至第三介電層之一面，並具有一第四導電柱，其貫穿第四介電層。第一導電柱及第二導電柱係貫穿第一介電層及第二介電層，其較遠離核心層；第三導電柱及第四導電柱係貫穿第三介電層及第四介電層，其較遠離核心層。第一導電柱及第二導電柱係貫穿第一介電層及第二介電層，其較遠離核心層；第三導電柱及第四導電柱係貫穿第三介電層及第四介電層，其較遠離核心層。

依照本發明之較佳實施例，其中核心層具有一核心導電層及至少一核心介電柱，而核心介電柱係貫穿核心層。此外，第一導電柱係貫穿第一介電層，而第二導電柱係貫穿第二介電層。

依照本發明之較佳實施例，其中核心層具有一核心介電層及至少一核心導電柱，而核心介電柱係貫穿核心層。此外，第一導電柱係貫穿第一介電層，而第二導電柱係貫穿第二介電層。圖案化之第一導電柱係貫穿第一介電層，而圖案化之第二導電柱係貫穿第二介電層。圖案化之第一導電柱係貫穿第一介電層，而圖案化之第二導電柱係貫穿第二介電層。圖案化之第一導電柱係貫穿第一介電層，而圖案化之第二導電柱係貫穿第二介電層。

基於上述，由於本發明之電路板及其製程乃是以一具有一核心層之電路板單元來製作電路板，其中核心層係為一核心導電層，或為一核心介電層，並可採用



## 五、發明說明 (5)

傳統之疊合的製程及設備來取代習知之增層法的電路板製程，故可有效地降低電路板之製作成本及縮短電路板之製程週期。

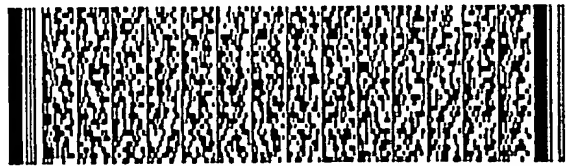
為讓本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### 【實施方式】

請參考第1A～1F圖，其依序繪示依照本發明之較佳實施例之第一種電路板製程的流程剖面圖。本發明之較佳實施例的第一種電路板製程可以製作出三圖案化導電層之電路板，即三層板。

如第1A圖所示，預先提供一核心層110、一介電層120a及介電層120b。其中，核心層110具有一核心導電層112及多個核心介電柱114，而這些核心介電柱114係貫穿核心導電層112，且這些核心介電柱114之兩端面係大致分別共面於核心導電層112之兩面。此外，介電層120a則具有多個導電柱124a，而這些導電柱124a係貫穿介電層120a，而分別容納於介電層120a之這些貫孔122a，且這些導電柱124a之兩端面係大致分別共面於介電層120a之兩面。另外，介電層120b則具有多個導電柱124b，而這些導電柱124b係貫穿介電層120b，而分別容納於介電層120b之這些貫孔122b，且這些導電柱124b之兩端面係大致分別共面於介電層120b之兩面。

如第1B圖所示，在提供介電層120a、核心層110及介



#### 五、發明說明 (6)

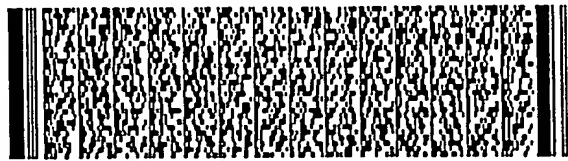
電層120b之後，接著例如以疊合 (laminating) 的方式，堆疊介電層120a、核心層110及介電層120b，使得介電層120a、核心層110及介電層120b共同形成一疊合層108。因此，上方之導電柱124a係可電性連接至核心層110之核心導電層112。同樣地，下方之導電柱124b則可電性連接至核心層110之核心導電層112，再經由核心層110之核心導電層112，而電性連接至上方之導電柱124a。

如第1C圖所示，在形成疊合層108之後，接著例如以機械鑽孔 (mechanical drilling) 或雷射鑽孔 (laser drilling) 等方式，形成多個貫孔142於疊合層108之中，而貫孔142係穿過介電層120a、核心介電柱114及介電層120b，且這些貫孔142係分別連接疊合層108之兩面。

如第1D圖所示，在形成這些貫孔142之後，接著填入導電物質 (例如導電膠等) 於這些貫孔142之中，因而形成多個導電柱144，其中這些導電柱144之兩端面係大致分別共面於疊合層108之兩面。

如第1E圖所示，在形成這些導電柱144之後，接著例如以疊合的方式，堆疊一導電層130a及導電層130b於疊合層108之兩面，即介電層120a及介電層120b之個別較遠離核心層110的一面。

如第1F圖所示，在堆疊導電層130a及導電層130b之後，接著例如以微影 (photolithography) 及蝕刻 (etching) 的方式，圖案化導電層130a及導電層130b。其中，已圖案化之導電層130a可形成接合墊134a及導線

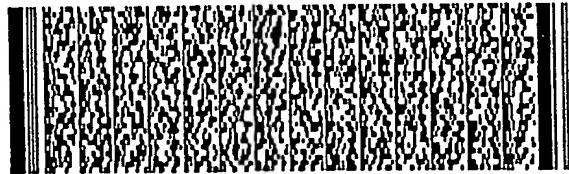


## 五、發明說明 (7)

136a，而部分之接合墊134a係連接於導電柱124a或導電柱144之頂端。同樣地，已圖案化之導電層130b則可形成接合墊134b及導線136b，而部分之接合墊134b係連接於導電柱124b或導電柱144之底端。因此，上方之導電層130a除可依序經由導電柱124a、核心導電層112及導電柱124b，而電性連接至下方之導電層130b以外，更可經由導電柱144，而電性連接至下方之導電層130b。最後完成電路板100之製作。

請參考第2A、2B圖，其分別繪示依照本發明之較佳實施例之第二種電路板製程的初始及最終剖面圖。同樣地本發明之較佳實施例的第二種電路板製程亦可製作出三圖案化導電層之電路板，即三層板。值得注意的是，與第一種電路板製程相較之下，如第2A圖所示，除了預先提供介電層120a、核心層110及介電層120b之外，更可預先提供導電層131a及導電層131b，接著進行如第一種電路板製程之第1B~1F圖所示的步驟，最終將製作出如第2B圖所示之電路板102。值得注意的是，如第2B圖所示，已圖案化之導電層130a包括雙導電層，而已圖案化之導電層130b亦包括雙導電層，此乃起因於在第二種電路板製程之後續步驟中，必須額外地利用另一導電層來壓合這些導電柱144之端面。

在本發明之較佳實施例中，第一種及第二種電路板製程均於製程初始時，乃預先提供一核心層，其係由一核心導電層及多個核心介電柱所構成。然而，本發明之較佳實



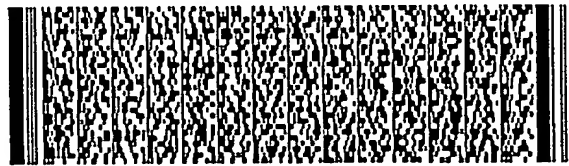
#### 五、發明說明 (8)

施例將提供第三種及第四種電路板製程，其於製程初始時，亦預先提供一核心層，但其包括一核心介電層及雙導電層，使得核心層係為一雙導線層結構，或可稱之為雙層板結構。

請參考第3A～3F圖，其依序繪示依照本發明之較佳實施例之第三種電路板製程的流程剖面圖。本發明之較佳實施例的第三種電路板製程可以製作出四圖案化導電層之電路板，即四層板。

如第3A圖所示，預先提供一核心層210、一介電層220a及介電層220b。其中，核心層210包括一核心介電層212、多個核心導電柱214、圖案化之導電層216a及圖案化之導電層216b，而這些核心導電柱214係貫穿核心介電層212，且這些核心導電柱214之兩端面係大致分別共面於核心介電層212之兩面，而導電層216a及導電層216b則分別配置於核心介電層212之兩面。因此，上方之導電層216a係可經由核心導電柱214，而電性連接至導電層216b。此外，介電層220a則具有多個導電柱224a，而這些導電柱224a係貫穿介電層220a，且這些導電柱224a之兩端面係大致分別共面於介電層220a之兩面。另外，介電層220b則具有多個導電柱224b，而這些導電柱224b係貫穿介電層220b，且這些導電柱224b之兩端面係大致分別共面於介電層220b之兩面。

如第3B圖所示，在提供介電層220a、核心層210及介電層220b之後，接著例如以疊合的方式，堆疊介電層





#### 五、發明說明 (9)

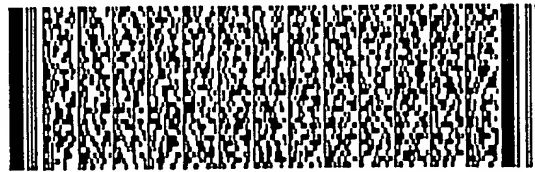
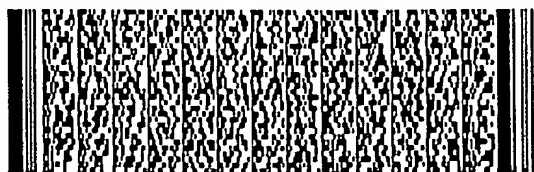
220a、核心層210及介電層220b，使得介電層220a、核心層210及介電層220b共同形成一疊合層208。因此，上方之導電柱224a係可電性連接至核心層210之核心導電柱214。同樣地，下方之導電柱224b則可電性連接至核心層210之核心導電柱214，再經由核心層210之核心導電柱214，而電性連接至上方之導電柱224a。

如第3C圖所示，在形成疊合層208之後，接著例如以機械鑽孔或雷射鑽孔等方式，形成多個貫孔242於疊合層208之中，而貫孔242係穿過介電層220a、核心介電層212及介電層220b，且這些貫孔242係分別連接疊合層208之兩面。

如第3D圖所示，在形成這些貫孔242之後，接著填入導電物質（例如導電膠等）於這些貫孔242之中，因而形成多個導電柱244，其中這些導電柱244之兩端面係大致分別共面於疊合層208之兩面。

如第3E圖所示，在形成這些導電柱244之後，接著例如以疊合的方式，堆疊一導電層230a及導電層230b於疊合層208之兩面，即介電層220a及介電層220b之個別較遠離核心層210的一面。

如第3F圖所示，在堆疊導電層230a及導電層230b之後，接著例如以微影及蝕刻的方式，圖案化導電層230a及導電層230b。其中，已圖案化之導電層230a可形成接合墊234a及導線236a，而部分之接合墊234a係連接於導電柱224a或導電柱244之頂端。同樣地，已圖案化之導電層



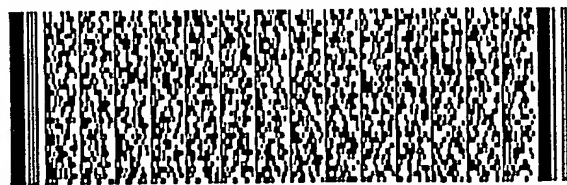
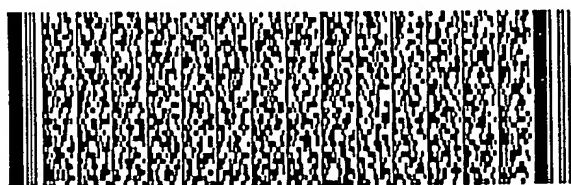
#### 五、發明說明 (10)

230b 則可形成接合墊234b及導線236b，而部分之接合墊234b係連接於導電柱224b或導電柱244之頂端。因此，上方之導電層230a除可依序經由導電柱224a、核心導電柱214及導電柱224b，而電性連接至下方之導電層230b以外，更可經由導電柱244，而電性連接至下方之導電層230b。最後完成電路板200之製作。

請參考第4A、4B圖，其分別繪示依照本發明之較佳實施例之第四種電路板製程的初始及最終剖面圖。同樣地本發明之較佳實施例的第四種電路板製程亦可製作出四圖案化導電層之電路板，即四層板。值得注意的是，與第三種電路板製程相較之下，如第4A圖所示，除了預先提供介電層220a、核心層210及介電層220b之外，更可預先提供導電層231a及導電層231b，接著進行如第三種電路板製程之第3B~3F圖所示的步驟，最終將製作出如第4B圖所示之電路板202。值得注意的是，如第4B圖所示，已圖案化之導電層230a包括雙導電層，而已圖案化之導電層230b亦包括雙導電層，此乃起因於在第四種電路板製程之後續步驟中，必須額外地利用另一導電層來壓合這些導電柱244之端面。

基於上述，本發明之上述四種電路板製程將除可製作出上述之具有二~四圖案化導電層之電路板以外，更可利用上述之電路板作為電路板單元，而製作出具有超過四圖案化導電層之電路板。

請參考第5圖，其繪示依照本發明之較佳實施例之一



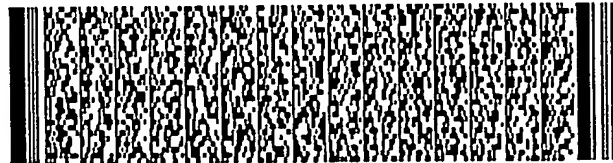
#### 五、發明說明 (11)

種具有四導電層之電路板的剖面圖。電路板300之結構包括第1F圖之電路板100及另一介電層及一圖案化之導電層。因此，電路板300除具有導電柱302a及302b以外，更可形成導電柱302c，使得電路板300之各個圖案化導電層之間可經由這些導電柱302，而彼此電性連接。此外，請參考第6圖，其繪示依照本發明之較佳實施例之一種具有七導電層之電路板的剖面圖。電路板400之結構除包括第1F圖之電路板100以外，更包括第3F圖之電路板200，而電路板400之各個圖案化導電層之間可經由這些導電柱402a、402b，而彼此電性連接。

基於上述，本發明之電路板及其製程主要是以核心層為基礎層，其中核心層係為一核心導電層，或為一核心介電層搭配雙導電層，並依照核心層之組成上的差異，而製作出第1F圖之三圖案化導電層之電路板及第3F圖之四圖案化導電層之電路板。此外，更可利用此兩種電路板作為電路板單元，來製作出超過四導電層之電路板。

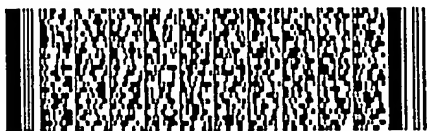
綜上所述，本發明之電路板及其製程可利用傳統價廉之疊合法的電路板製程及設備，來取代習知價昂之增層法的電路板製程，故可有效地簡化電路板之製程步驟及降低電路板之製作成本。此外，本發明之電路板製程乃是利用傳統之圖案化及疊合的製程，故可有效地縮短電路板之製程週期，並可應用於電路板之大規模量產。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精



五、發明說明 (12)

神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A～1F圖依序繪示依照本發明之較佳實施例之第一種電路板製程的流程剖面圖。

第2A、2B圖分別繪示依照本發明之較佳實施例之第二種電路板製程的初始及最終剖面圖。

第3A～3F圖依序繪示依照本發明之較佳實施例之第三種電路板製程的流程剖面圖。

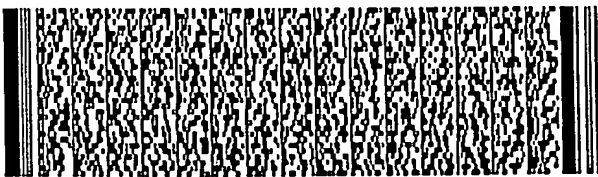
第4A、4B圖分別繪示依照本發明之較佳實施例之第四種電路板製程的初始及最終剖面圖。

第5圖繪示依照本發明之較佳實施例之一種具有四導電層之電路板的剖面圖。

第6圖繪示依照本發明之較佳實施例之一種具有七導電層之電路板的剖面圖。

## 【圖式標記說明】

100、102：電路板	108：疊合層
110：核心層	112：核心導電層
114：核心介電柱	120：介電層
122：貫孔	124：導電柱
130、131：導電層	132：導電層
134：接合墊	136：導線
142：貫孔	144：導電柱
200、202：電路板	208：疊合層
210：核心層	212：核心介電層
214：核心導電柱	216：導電層



圖式簡單說明

220 : 介電層

224 : 導電柱

232 : 導電層

236 : 導線

244 : 導電柱

302、402 : 導電柱

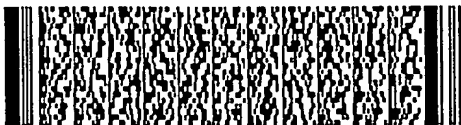
222 : 貫孔

230 : 導電層

234 : 接合墊

242 : 貫孔

300、400 : 電路板



## 六、申請專利範圍

1. 一種電路板製程，至少包括下列步驟：

(a) 提供一核心層、一第一介電層及一第二介電層，其中該第一介電層具有至少一第一導電柱，其貫穿該第一介電層，且該第二介電層具有至少一第二導電柱，其貫穿該第二介電層；

(b) 疊合該核心層、該第一介電層及該第二介電層，其中該核心層係介於該第一介電層及該第二介電層之間，其中該核心層、該第一介電層及該第二介電層係組成一疊合層；

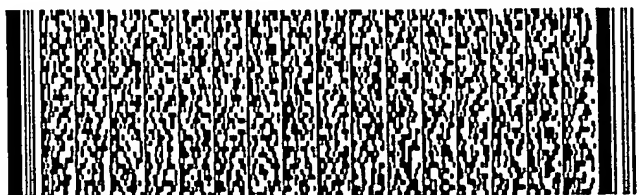
(c) 形成一第一貫孔於該疊合層，且該第一貫孔係貫穿該疊合層；

(d) 填入導電物質於該第一貫孔，用以形成一第三導電柱；以及

(e) 形成圖案化之一第一導電層及圖案化之一第二導電層，其分別配置於該疊合層之兩面。

2. 如申請專利範圍第1項所述之電路板製程，其中於步驟(a)之時，該核心層具有一核心導電層及至少一核心介電柱，而該核心介電柱係貫穿該核心導電層，且於步驟(c)之時，該第一貫孔更貫穿該核心層之該核心介電柱。

3. 如申請專利範圍第1項所述之電路板製程，其中於步驟(a)之時，該核心層具有一核心介電層、至少一核心導電柱、圖案化之一第三導電層及圖案化之一第四導電層，且該核心導電柱係貫穿該核心介電層，而該第三導電



#### 六、申請專利範圍

層及該第四導電層係分別配置於該核心介電層之兩面，且於步驟(c)之時，該第一貫孔更貫穿該核心層之該核心介電層。

4. 如申請專利範圍第1項所述之電路板製程，其中於步驟(a)之時，更包括提供未圖案化之該第五導電層及未圖案化之該第六導電層，且於步驟(b)之時，更包括疊合未圖案化之該第五導電層及未圖案化之該第六導電層，其中未圖案化之該第五導電層係疊合至該第一介電層之較遠離該核心層的一面，而未圖案化之該第六導電層係疊合至該第二介電層之較遠離該核心層的一面，且於步驟(e)之時，更包括圖案化該第五導電層及該第六導電層。

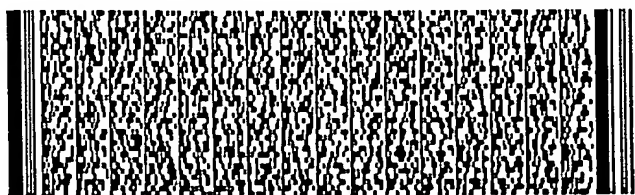
5. 如申請專利範圍第1項所述之電路板製程，更包括下列步驟：

(e) 疊合一第三介電層至該疊合層之一面，其中該第三介電層具有至少一第四導電柱，其貫穿該第三介電層；

(f) 形成一第二貫孔於該疊合層及該第三介電層，且該第二貫孔係貫穿該疊合層及該第三介電層；以及

(g) 填入導電物質於該第二貫孔，用以形成一第五導電柱。

6. 如申請專利範圍第5項所述之電路板製程，更包括步驟(h)：形成圖案化之一第七導電層於該第三介電層之較遠離該疊合層的一面。





## 六、申請專利範圍

7. 一種電路板，包括至少一疊合電路板單元 (laminated circuit board unit)，該電路板單元至少包括：

- 一核心層；
  - 一第一介電層，疊合至該核心層之一面，並具有至少一第一導電柱，其貫穿該第一介電層；
  - 一第二介電層，疊合至該核心層之另一面，並具有至少一第二導電柱，其貫穿該第二介電層；
  - 一第一導電層，疊合至該第一介電層之較遠離該核心層的一面，並經由該第一導電柱而電性連接至該核心層；
  - 一第二導電層，疊合至該第二介電層之較遠離該核心層的一面，並經由該第二導電柱而電性連接至該核心層；
- 以及

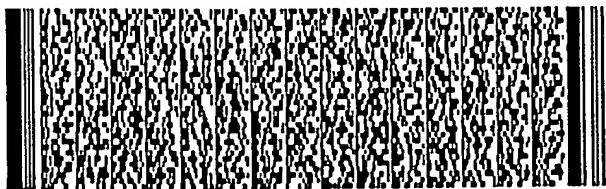
至少一第三導電柱，貫穿該第一介電層、該核心層及該第二介電層，並電性連接該第一導電層及該第二導電層。

8. 如申請專利範圍第7項所述之電路板，其中該第一導電層係為一圖案化導電層。

9. 如申請專利範圍第7項所述之電路板，其中該第二導電層係為一圖案化導電層。

10. 如申請專利範圍第7項所述之電路板，其中該核心層具有一核心導電層及至少一核心介電柱，而該核心介電柱係貫穿該核心導電層。

11. 如申請專利範圍第10項所述之電路板，其中該第三



## 六、申請專利範圍

導電柱係貫穿該核心層之該核心介電柱。

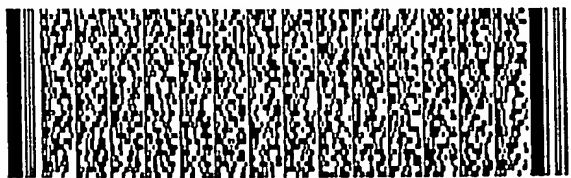
12. 如申請專利範圍第7項所述之電路板，其中該核心層具有一核心介電層、至少一核心導電柱、圖案化之一第三導電層及圖案化之一第四導電層，而該核心導電柱係貫穿該核心介電層，且該第三導電層及該第四導電層係分別配置於該核心介電層之兩面。

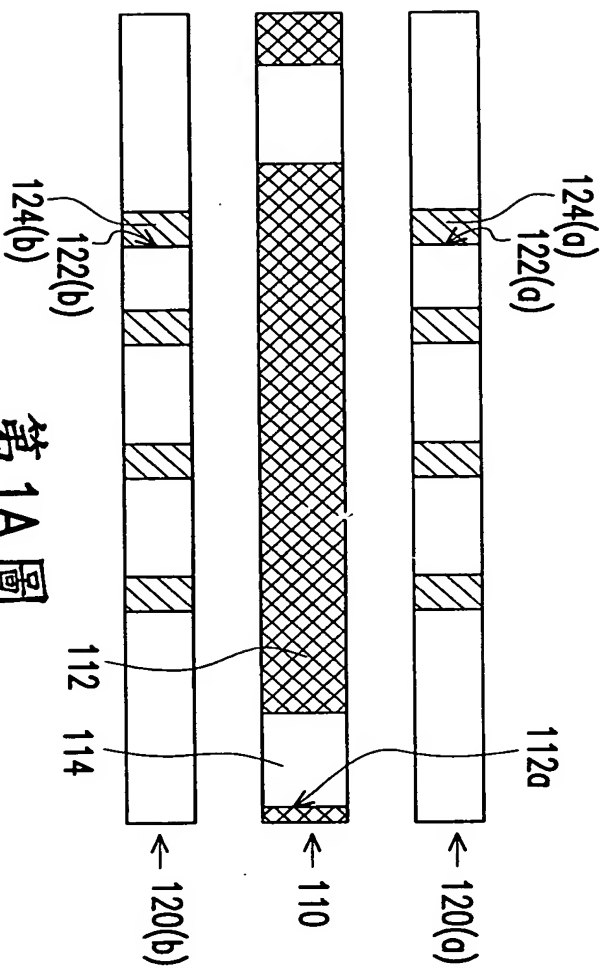
13. 如申請專利範圍第12項所述之電路板，其中該第三導電柱係貫穿該核心層之該核心介電層。

14. 如申請專利範圍第7項所述之電路板，更包括至少一第三介電層，其疊合至該電路板單元之一面，並具有至少一第四導電柱，其貫穿該第三介電層。

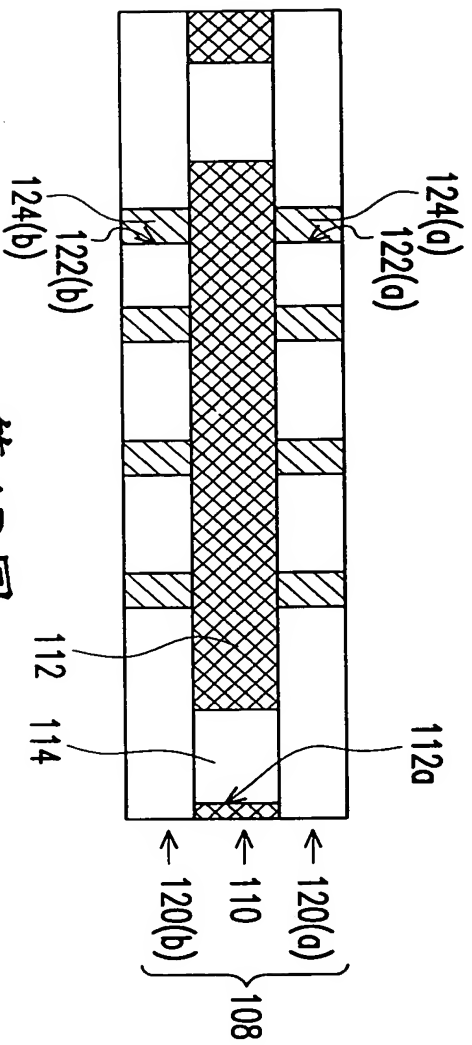
15. 如申請專利範圍第14項所述之電路板，更包括圖案化之一第五導電層，其疊合至該第三介電層之較遠離該電路板單元的一面。

16. 如申請專利範圍第14項所述之電路板，更包括一第五導電柱，其貫穿該電路板單元及該第三介電層。

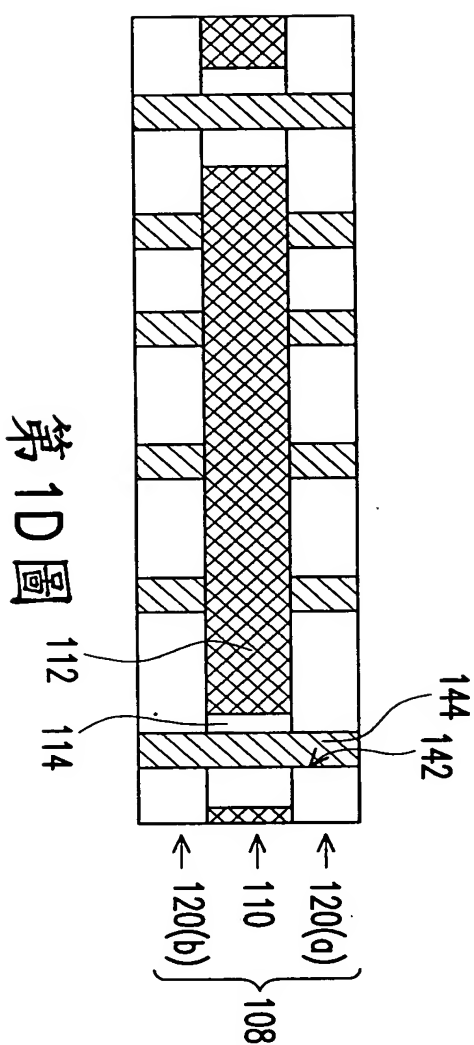
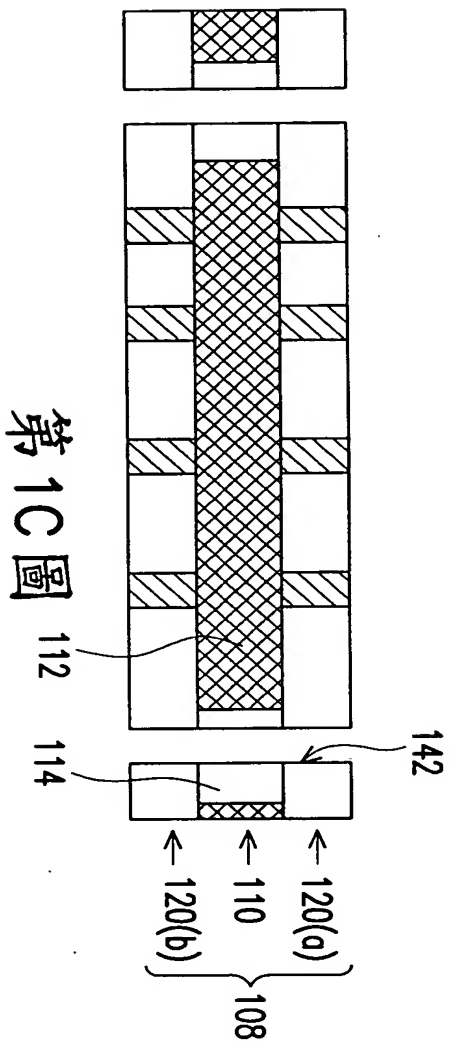


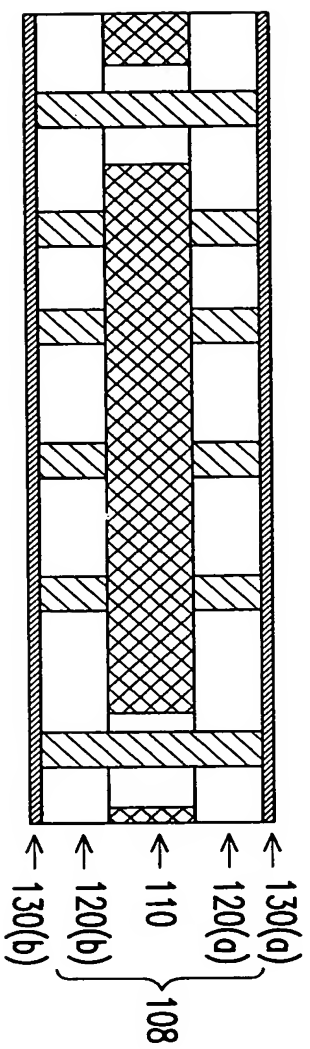


第1A圖

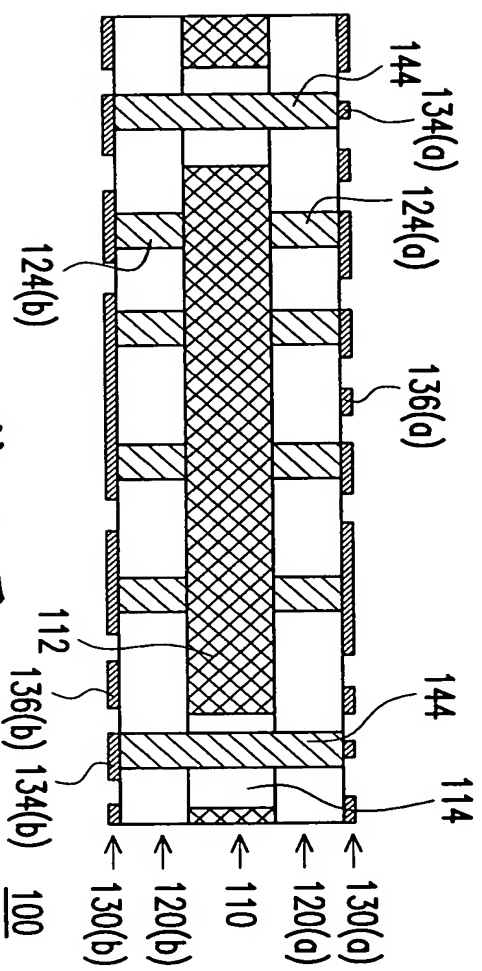


第1B圖

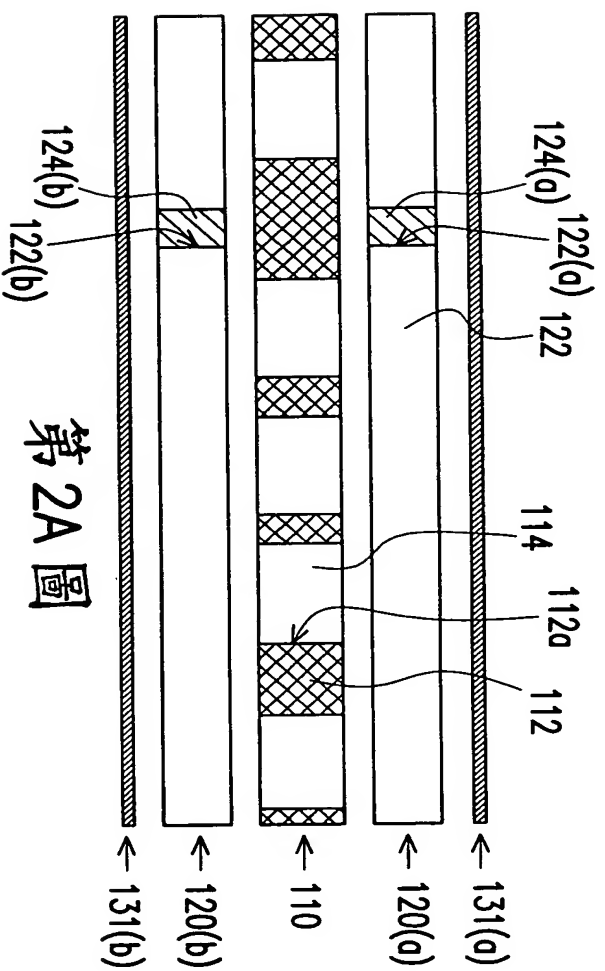




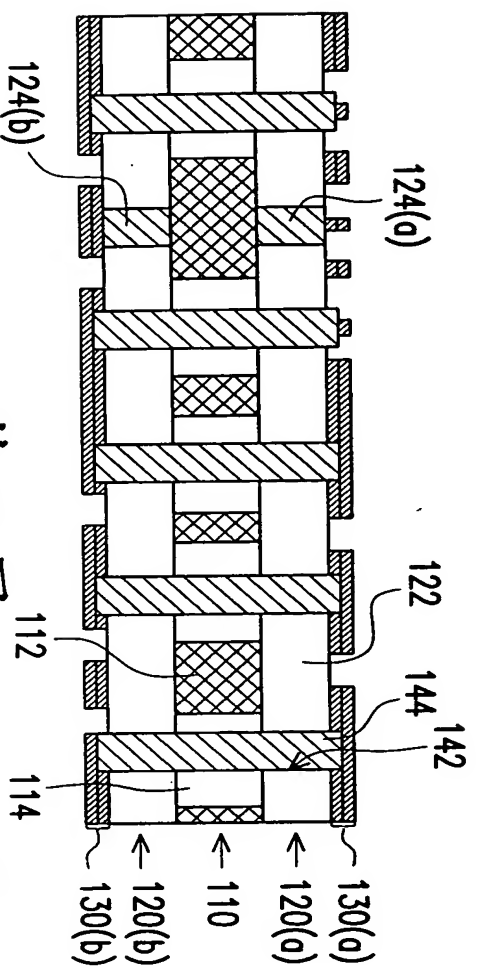
第1E圖



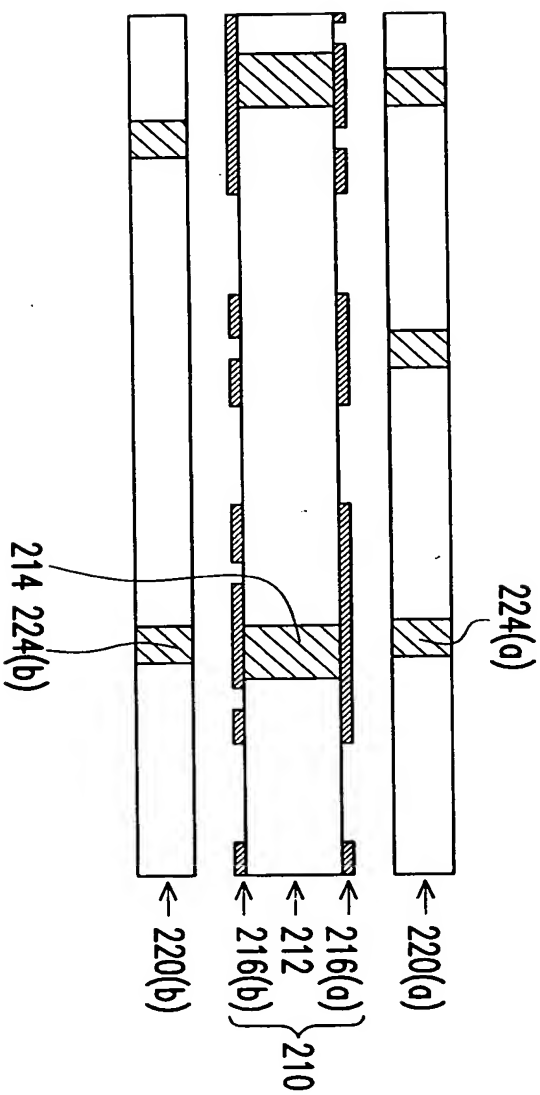
第1F圖



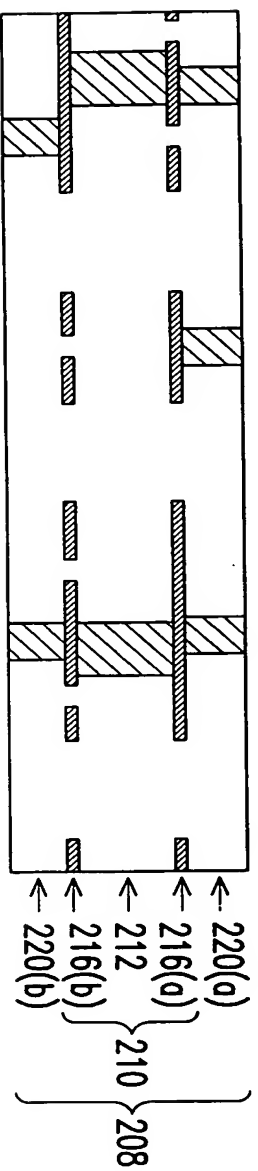
第2A圖



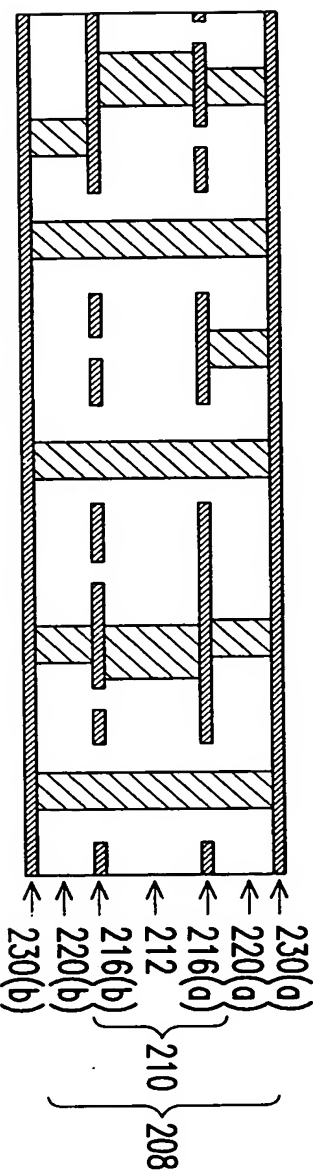
第2B圖



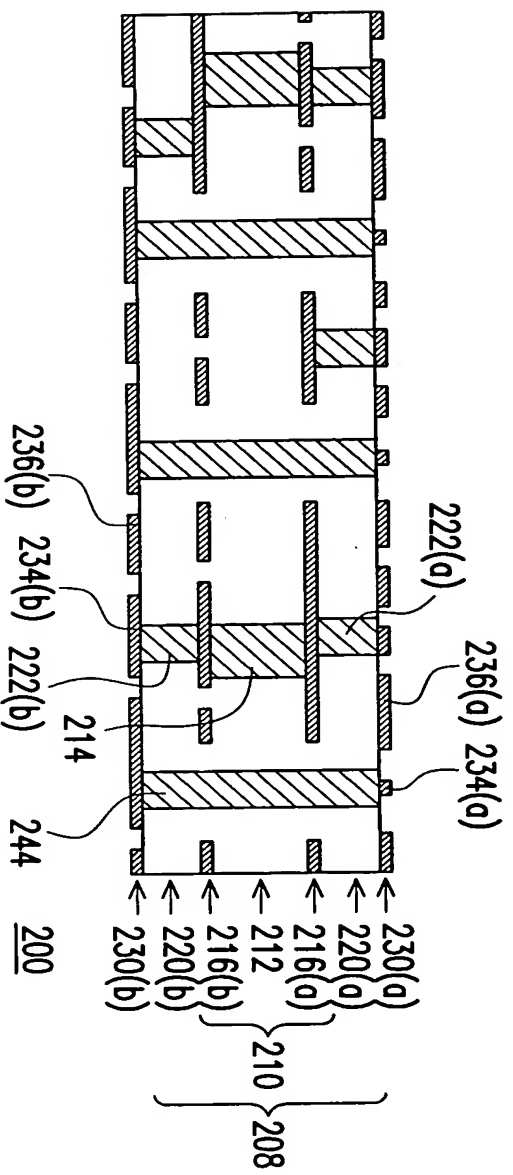
第3A圖



第3B圖

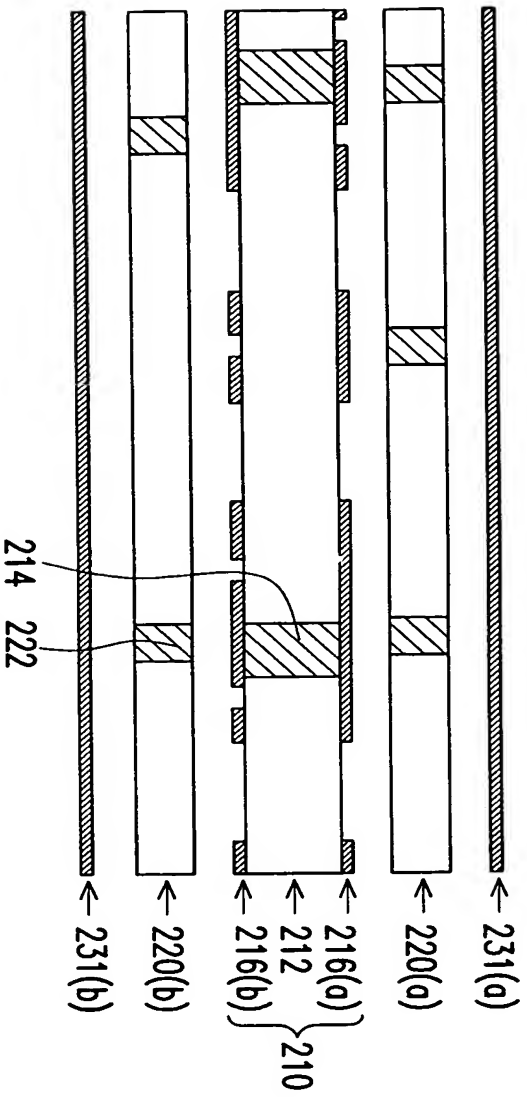


第3E圖

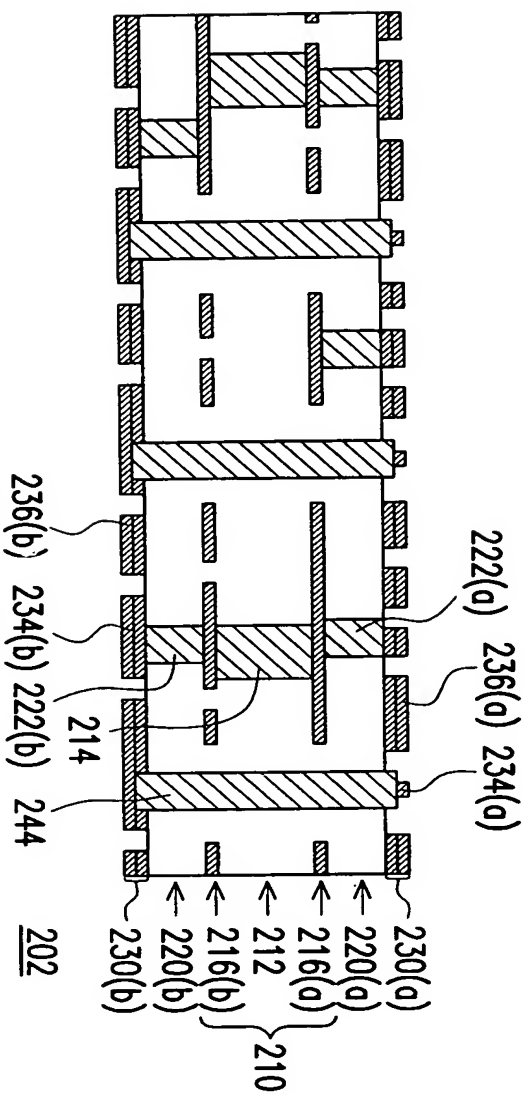


第3F圖

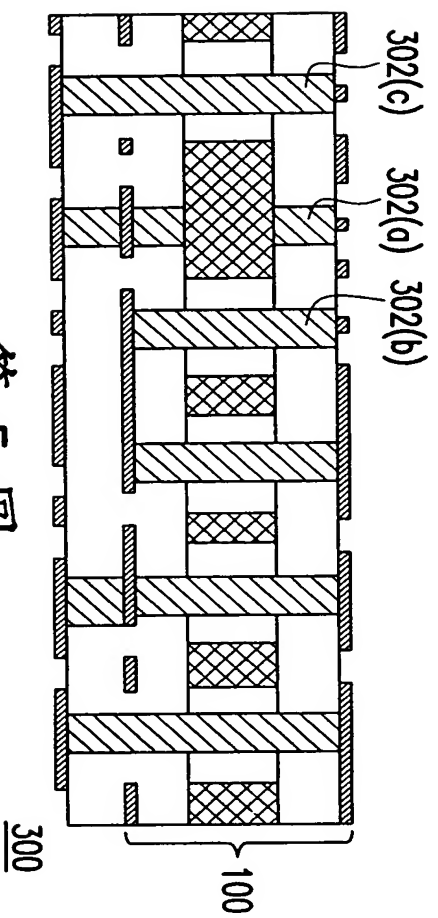




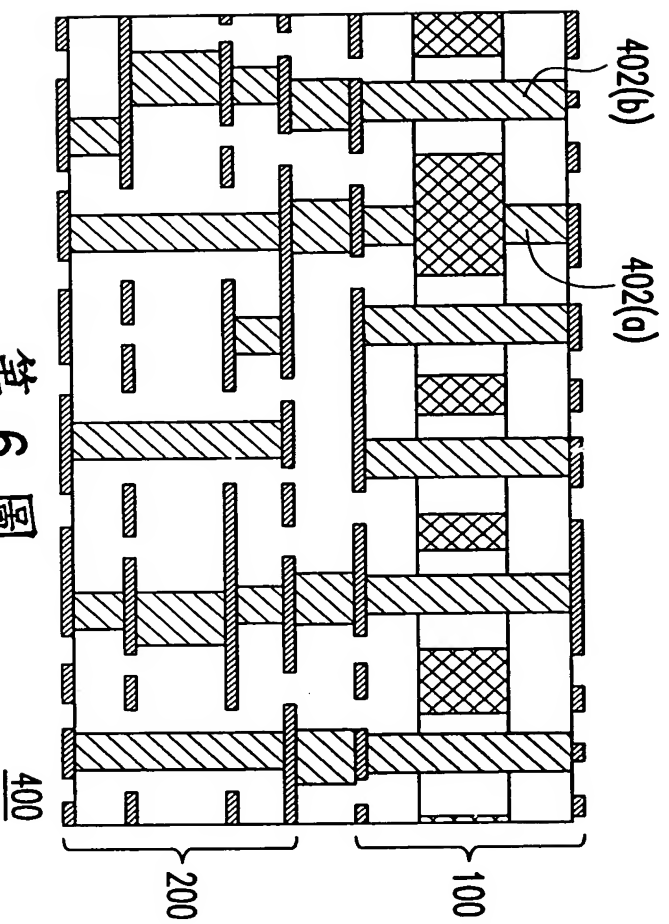
第4A圖



第4B圖



第 5 圖

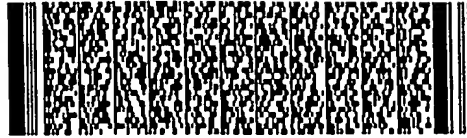


第 6 圖

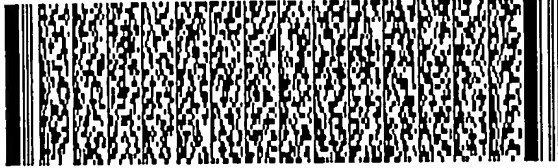
第 1/23 頁



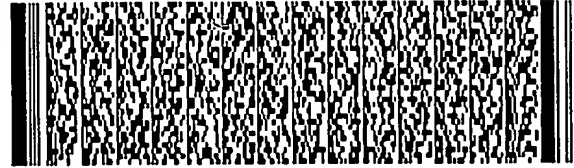
第 2/23 頁



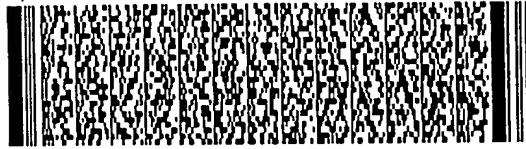
第 3/23 頁



第 3/23 頁



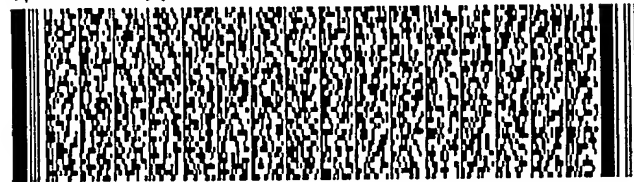
第 4/23 頁



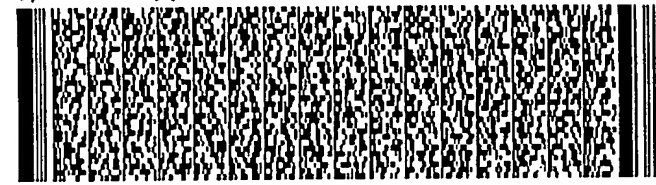
第 5/23 頁



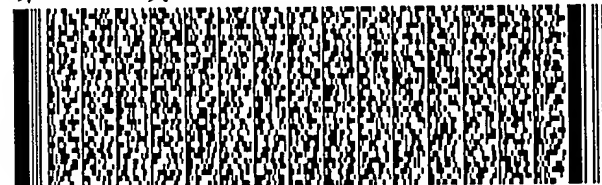
第 6/23 頁



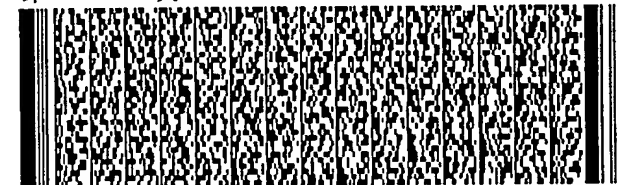
第 6/23 頁



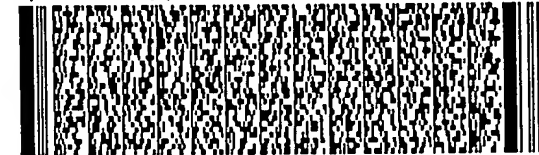
第 7/23 頁



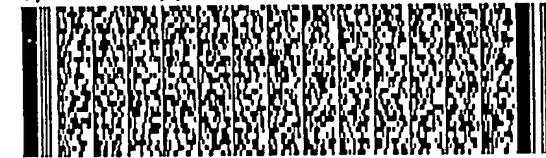
第 7/23 頁



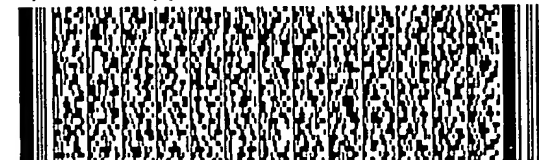
第 8/23 頁



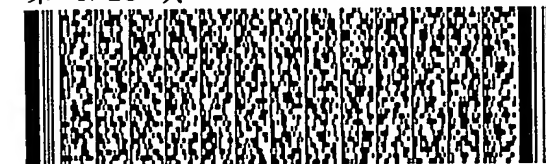
第 8/23 頁



第 9/23 頁



第 9/23 頁



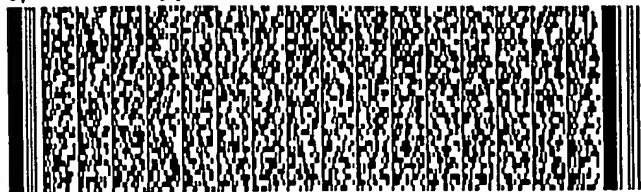
第 10/23 頁



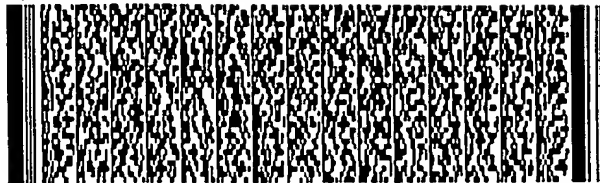
第 10/23 頁



第 21/23 頁



第 22/23 頁



第 23/23 頁

